

Patent Abstracts of Japan

PUBLICATION NUMBER : 2000243963
PUBLICATION DATE : 08-09-00

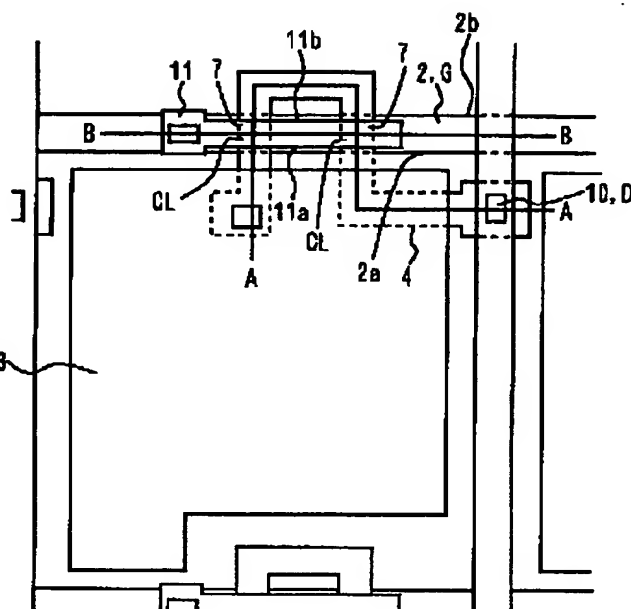
APPLICATION DATE : 17-02-99
APPLICATION NUMBER : 11038770

APPLICANT : SANYO ELECTRIC CO LTD;

INVENTOR : NAKATANI NORIO;

INT.CL. : H01L 29/786 G02F 1/1365 G09F 9/30

TITLE : THIN FILM TRANSISTOR AND
DISPLAY UNIT



ABSTRACT : PROBLEM TO BE SOLVED: To offer a thin film transistor(TFT) and a display unit which enable screen display with uniform brightness by avoiding defects such as bright spot, which occur when pattern shift is caused by a second gate electrode which restrains variations in threshold voltage resulting from polarization in a flattened film or an interlayer dielectric caused by moisture or impurity ions.

SOLUTION: A first gate electrode 2 made of chromium, a gate insulating film, an active layer 4 which is made of polycrystalline silicon and has a source, a channel 7, and drain 6, are formed on an insulating substrate, and they are entirely covered with an interlayer dielectric. A drain electrode 10 is formed in a position corresponding to the drain 6, and at the same time a second gate electrode 11 connected to a gate signal line G through a contact hole is formed on the interlayer dielectric 9 above the channel 7. This enables the TFT channels to intersect the gate at two or more points, and allows adjoining channels to have current passages in different directions.

COPYRIGHT: (C)2000,JPO

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-243963

(P2000-243963A)

(43) 公開日 平成12年9月8日(2000.9.8)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト [*] (参考)
H 0 1 L 29/786		H 0 1 L 29/78	6 1 8 C 2 H 0 9 2
G 0 2 F 1/1365		G 0 9 F 9/30	3 3 8 5 C 0 9 4
G 0 9 F 9/30	3 3 8	G 0 2 F 1/136	5 0 0 5 F 1 1 0
		H 0 1 L 29/78	6 1 7 N

審査請求 未請求 請求項の数2 O L (全 7 頁)

(21) 出願番号 特願平11-38770

(22) 出願日 平成11年2月17日(1999.2.17)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 佐野 景一

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 中谷 紀夫

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74) 代理人 100111383

弁理士 芝野 正雅

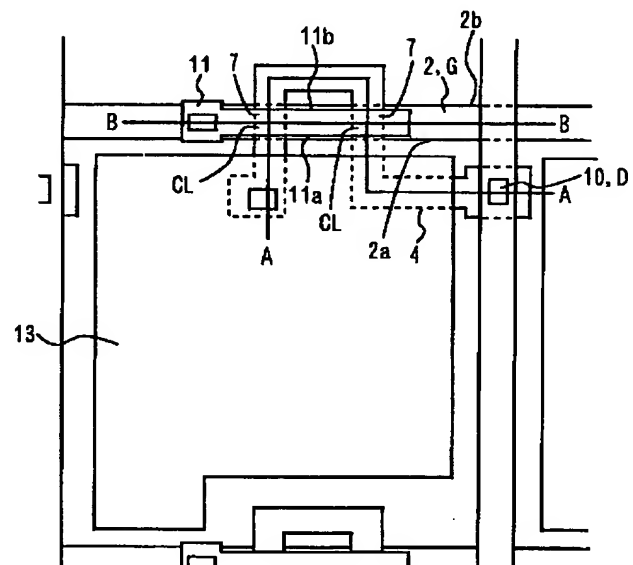
最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ及び表示装置

(57) 【要約】

【課題】 水分あるいは不純物イオンによって平坦化膜又は層間絶縁膜の分極の発生による閾値電圧の変化抑制のための第2ゲート電極がパターンずれを起こした際の発生する欠点を抑制し、面内で均一な明るさの表示が得られるTFT及び表示装置を提供する。

【解決手段】 絶縁性基板1上に、Crからなる第1のゲート電極2、ゲート絶縁膜3、多結晶シリコン膜からなりソース5、チャネル7及びドレイン6を備えた能動層4を形成し、その全面に層間絶縁膜9を形成する。そして、ドレイン6に対応した位置にドレイン電極10を形成すると同時にチャネル7の上方であって層間絶縁膜9上に、コンタクトホール14を介してゲート信号配線Gと接続された第2のゲート電極11を形成する。こうして形成されたTFTのチャネルが2回以上ゲートと交差しており、隣接するチャネルの電流方向が互いに異なるように構成されている。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 絶縁性基板上に、第1のゲート電極、第1の絶縁膜、隣接するチャネルで電流の流れる方向が異なるように前記第1のゲート電極と複数箇所にて交差した半導体膜、及び第2の絶縁膜を備えており、該第2の絶縁膜上であって少なくとも前記チャネル上方に前記第1のゲート電極に接続された第2のゲート電極を備え、該第2のゲート電極のチャネル長方向の幅が前記チャネルのチャネル長よりも狭いことを特徴とする薄膜トランジスタ。

【請求項2】 請求項1に記載の薄膜トランジスタをスイッチング素子として備えたことを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ（Thin Film Transistor：以下、「TFT」と称する。）及びそのTFTをスイッチング素子として用いた表示装置に関する。

【0002】

【従来の技術】近年、各種表示装置、例えばアクティブマトリクス方式の液晶表示装置（Liquid Crystal Display：以下、「LCD」と称する。）の駆動ドライバ素子あるいは画素駆動素子として多結晶シリコン膜を能動層として用いたTFTの開発が進められている。

【0003】以下に、従来のTFTを備えたLCDについて説明する。

【0004】図6に従来の表示画素部のTFT平面図を示し、図7に図6中のE-E線に沿ったLCDの断面図を示し、図8に図6中のF-F線に沿ったLCDの断面図を示す。

【0005】図6に示すように、第1のゲート電極102を一部に有するゲート信号線Gとドレイン電極110を一部に有するドレイン信号線Dとの交差点付近に、表示電極113を接続したTFTが設けられている。

【0006】図7に示すように、石英ガラス、無アルカリガラス等からなる絶縁性基板101上に、クロム（Cr）、モリブデン（Mo）等の高融点金属からなる第1のゲート電極102、SiN膜及びSiO₂膜から成るゲート絶縁膜103及び多結晶シリコン膜からなる能動層104を順に形成する。

【0007】その能動層104には、第1のゲート電極102上方のチャネル107と、そのチャネル107の両側にイオン注入されて形成されたソース105及びドレイン106とが設けられている。

【0008】チャネル107の上には、ソース105及びドレイン106を形成する際のイオン注入時にチャネル107にイオンが入らないようにそのチャネル107を覆うマスクとして機能するSiO₂膜から成るストッパ絶縁膜108が設けられている。

【0009】そして、ゲート絶縁膜103、能動層104及びストッパ絶縁膜108上の全面に、SiO₂膜、SiN膜及びSiO₂膜が積層されて成る層間絶縁膜109を形成する。この層間絶縁膜109は、SiO₂、SiN、またはアクリル等の有機材料からなる有機膜の各単体、またはこれらのいずれかの組み合わせの多層体からなる。

【0010】次に、その層間絶縁膜109に設けたコンタクトホールにドレイン106に対応した位置にA1単体、あるいはMo及びA1を順に積層するなどした金属を充填してドレイン電極110を形成する。このときドレイン電極110の形成と同時にチャネル107の上方であって層間絶縁膜109の上に第2のゲート電極111を形成する。即ち、A1単体、あるいはMo及びA1を順に積層するなどした金属からなり第1のゲート電極102に接続された第2のゲート電極111を形成する。

【0011】このとき、図8に示すように、層間絶縁膜109上に設けた第2のゲート電極111は、ゲート絶縁膜103及び層間絶縁膜109に設けられたコンタクトホール114を介して、絶縁性基板101上のゲート信号配線Gと接続されている。ドレイン信号線Dは層間絶縁膜109の上に設けられている。そして全面に例えば有機樹脂からなる平坦化絶縁膜112を形成する。

【0012】また、図7に示すように、この平坦化絶縁膜112のソース105に対応した位置にコンタクトホールを形成し、ソース105にコンタクトしたITO等の透明導電材料から成りソース電極を兼ねた透明電極である表示電極113を形成する。その上には液晶124を配向させる配向膜115を形成する。

【0013】こうして作製されたTFTを備えた絶縁性基板101と、この基板101に対向した対向電極121及び配向膜122を備えた対向基板120とを、それら両基板101、120の周辺部分をシール接着剤123により接着し、それによって形成された空隙に液晶124を充填してLCDが完成する。

【0014】

【発明が解決しようとする課題】ところが、こうした従来のTFTの構造においては、第2のゲート電極111をホトリソ技術を用いて層間絶縁膜109を介して第1のゲート電極102上に形成するが、その際、マスク合わせのずれ等によって位置ずれを生じてしまい、第2のゲート電極111の周囲の端部111aと第1のゲート電極102の端部102aとが重畳してしまうことになる。そうすると、例えばドレイン106側が重畳した場合にはドレイン電極110の電位が表示電極113の電位よりも高いときにリーク電流が発生し、ソース105側が重畳した場合にはドレイン電極110の電位が表示電極113の電位よりも低いときにリーク電流が発生してしまいTFTのオフ特性が低下するという欠点があった。

た。

【0015】また、このTFTをLCDに用いた場合においても、TFTにリーク電流が生じることにより画素が常に輝く輝点欠陥が発生し良好な表示が得られないという欠点があった。

【0016】そこで本発明は、上記の従来の欠点に鑑みて為されたものであり、リーク電流を抑制したTFT、及びそのTFTを備え輝点等の欠陥を低減し面内で均一な明るさの表示を得ることができるLCDを提供することを目的とする。

【0017】

【課題を解決するための手段】本発明のTFTは、絶縁性基板上に、第1のゲート電極、第1の絶縁膜、隣接するチャンネルで電流の流れる方向が異なるように前記第1のゲート電極と複数箇所に交差した半導体膜、及び第2の絶縁膜を備えており、該第2の絶縁膜上であって少なくとも前記チャンネル上方に前記第1のゲート電極に接続された第2のゲート電極を備え、該第2のゲート電極のチャンネル長方向の幅が前記チャンネルのチャンネル長よりも狭いものである。

【0018】また、本発明の表示装置は、上述のTFTをスイッチング素子として備えた表示装置である。

【0019】

【発明の実施の形態】＜第1の実施の形態＞以下に本発明の第1の実施の形態について説明する。

【0020】図1に本発明の表示画素部のTFT平面図を示し、図2に図1中のA-A線に沿ったLCDの断面図を示し、図3に図1中のB-B線に沿ったTFTの断面図を示す。

【0021】図1に示すように、ゲート電極2を兼ねたゲート信号線Gとドレイン電極10を兼ねたドレイン信号線Dとの交差点付近に、表示電極13を接続したTFTが設けられている。

【0022】そのTFTのチャンネルを備えた能動層は非単結晶半導体膜である多結晶シリコン膜4からなっており、ゲート信号線Gと複数回交差している。本実施の形態においては2回交差している場合を示す。このゲート電極2と多結晶シリコン膜4との重畳部がチャンネル7である。

【0023】このチャンネル7は、多結晶シリコン膜4が第1のゲート電極2と2回交差しているので、図中において右側のチャンネル7である交差部CRと左側のチャンネル7である交差部CLを流れる電流の向きは互いに逆方向になっている。

【0024】第1のゲート電極2に接続された第2のゲート電極11はゲート信号線Gの上方にゲート信号線Gと並行に設けられている。この第2のゲート電極11のチャンネル長方向の幅は第1のゲート電極2のチャンネル長方向の幅よりも狭くしている。

【0025】図2に示すように、石英ガラス、無アルカ

リガラス等からなる絶縁性基板1上に、Cr、Mo等の高融点金属からなる第1のゲート電極2、SiN膜及びSiO₂膜から成る第1の絶縁膜であるゲート絶縁膜3及び多結晶シリコン膜からなる能動層4を順に形成する。

【0026】その能動層4には、ゲート電極2上方のチャンネル7と、そのチャンネル7の両側にイオン注入されて形成されたソース5及びドレイン6とが設けられている。

【0027】チャンネル7の上には、ソース5及びドレイン6を形成する際のイオン注入時にチャンネル7にイオンが入らないようにチャンネル7を覆うマスクとして機能するSiO₂膜から成るストッパ絶縁膜8が設けられる。

【0028】そして、ゲート絶縁膜3、能動層4及びストッパ絶縁膜8上の全面に、SiO₂膜、SiN膜及びSiO₂膜が積層された層間絶縁膜9を形成する。この層間絶縁膜9は、SiO₂、SiN、またはアクリル等の有機材料からなる有機膜の各単体、またはこれらのいずれかの組み合わせの多層体からなる。

【0029】次に、その層間絶縁膜9に設けたコンタクトホールにドレイン6に対応した位置にA1単体、あるいはMo及びA1を順に積層するなどした金属を充填してドレイン電極10を形成する。このときドレイン電極10の形成と同時にチャンネル7の上方であって層間絶縁膜9の上に第2のゲート電極11を形成する。この第2のゲート電極11は第1のゲート電極2と接続されており、第1のゲート電極2と第2のゲート電極11とは同電位となっている。

【0030】図3に示すように、層間絶縁膜9上に設けた第2のゲート電極11は、ゲート絶縁膜3及び層間絶縁膜9に設けられたコンタクトホール14を介して、絶縁性基板1上のゲート信号線Gと接続されている。ドレイン信号線Dは層間絶縁膜9の上に設けられている。そして全面に例えば有機樹脂からなる平坦化絶縁膜12を形成する。この平坦化絶縁膜12のソース5に対応した位置にコンタクトホールを形成し、ソース5にコンタクトしたITO等の透明導電材料から成るソース電極を兼ねた透明電極である表示電極13を形成する。その上には液晶24を配向させる配向膜15を形成する。

【0031】こうして作製されたTFTを備えた絶縁性基板1と、この絶縁性基板1に対向した対向電極21及び配向膜22を備えた対向基板20とを周辺をシール接着剤23により接着し、形成された空隙に液晶24を充填して図2に示すようなLCDが完成する。

【0032】ここで、第2のゲート電極11をホトリソ技術により形成した際に、例えば図1中において下方向、即ち表示電極13側にずれて、第2ゲート電極11の下端部11aとゲート信号線G、即ち第1のゲート電極2の下端部2aとが重畳して形成された場合について説明する。

【0033】まず、表示電極13に接続された能動層4のソース5の電圧 V_S とドレイン信号線Dに接続された能動層4のドレイン6の電圧 V_D との電圧の関係が $V_D > V_S$ の場合を考える。即ち、チャンネルを流れる電流は図1中の左側のチャンネルの交差部CLにおいては上から下方向へ流れ、右側のチャンネルの交差部CRにおいては下から上方向へ流れる。

【0034】図1中の第1のゲート電極2と能動層4との交差部のうち、一方の右側の交差部CRにおいては、第1のゲート電極2の下端部2aと第2のゲート電極11の下端部11aとが重畳していると、ドレイン6に正の電圧が印加されると両端部からの電界によりチャンネルとドレインとの接合部付近に強電界が生じてリーク電流が生じてしまう。ところが他方の左側の交差部CLにおいては、第1のゲート電極2の上端部2bと第2のゲート電極11の上端部11bとが重畳していないため、強電界は生じずリーク電流は発生しない。従って、このTF Tに接続されたTF Tはその第2ゲート電極11の下端部11aが第1ゲート電極2の下端部2aが重畳してもリーク電流の発生を抑制することができる。

【0035】次に、表示電極13に接続された能動層のソースの電圧 V_S とドレイン信号線Dに接続された能動層のドレイン6の電圧 V_D との電圧の関係が $V_D < V_S$ の場合を考える。即ち、チャンネルを流れる電流は図1中の右側のチャンネルの交差部CRにおいては上から下方向へ流れ、左側のチャンネルの交差部CLにおいては下から上方向へ流れる。

【0036】図1中の第1のゲート電極2と能動層4との交差部のうち、一方の左側の交差部CLにおいては、第1のゲート電極2の下端部2aと第2のゲート電極11の下端部11aとが重畳しているため、両端部間に強電界が生じてリーク電流が生じる。ところが、他方の右側の交差部CRにおいては、第1のゲート電極2の上端部2bと第2のゲート電極11の上端部11bとが重疊していないと、強電界は生じずリーク電流は発生しない。従ってこのTF Tに接続されたTF Tはその第2ゲート電極11の下端部11aが第1ゲート電極2の下端部2aが重疊してもリーク電流の発生を抑制することができる。

【0037】このように、第1のゲート電極2と能動層4とを複数回交差させその交差部においてチャンネルを成すようにするとともに、第1のゲート電極2と接続して同電位の第2のゲート電極11を第1のゲート電極2及びチャンネル7の上方に設けることにより、成膜中に不純物等が絶縁膜中に侵入することを防止できるとともに、それによるバックチャンネルの発生を防止できる。さらに、第2のゲート電極11を形成する際に位置ずれを起こして第1のゲート電極2とそれらの端部が重疊したとしても強電界によるリーク電流の発生を防止することができる。

<第2の実施の形態>本発明の第2の実施の形態につい

て説明する。

【0038】図4は本発明の第2の実施の形態を示す表示画素部の平面図であり、図5は図4中のD-D線に沿った平面図である。なお、図4中のC-C線に沿ったLCD断面図は前述の図2と同じであるのでここでは省略する。

【0039】図4に示すように、ゲート電極2を一部に備えた複数のゲート信号線Gと複数のドレイン信号線Dとが交差しており、その交差部付近には両信号線に接続されたTF T及びそのTF Tに接続された表示電極13が設けられている。

【0040】そのTF Tのチャンネルを備えた能動層は半導体膜である多結晶シリコン膜からなっており、ゲート信号線Gから突起しドレイン信号線Dと並行に延在している第1ゲート電極2と複数回交差してしる。即ち、ドレイン信号線Dとコンタクトした能動層4は第1ゲート電極2に対してほぼ直交してゲート信号線Gとほぼ並行に延在し、そしてドレイン信号線Dとほぼ並行に延在し、更に再びゲート信号線Gに並行で能動層4と直交して表示電極13とコンタクトした形状である。このとき、この第1ゲート電極2と能動層4との重疊部がチャンネル7である。本実施の形態においては、第1のゲート電極2と能動層4とは2回交差している。

【0041】図5が前述の図3と異なる点は、第1のゲート電極2がゲート信号線Gの一部からほぼ垂直に突起した形状である点であり、それによって第1のゲート電極2が図5中において第2のゲート電極11とのコンタクト部分から第2ゲート電極11の左端部までで途切れている点である。他は図3と同じ構造で同じ材料からなっている。

【0042】ここで、ゲート信号線Gの一部がそのゲート信号線Gに対して垂直に突起した第2ゲート電極11をホトリソ技術により形成した際に、図4中において例えば右方向、即ちドレイン信号線D側にずれて、第2ゲート電極11の右端部11rと第1のゲート電極2の右端部2rとが重疊して形成された場合について説明する。

【0043】まず、表示電極13に接続された能動層4のソース5の電圧 V_S とドレイン信号線Dに接続された能動層4のドレイン6の電圧 V_D との電圧の関係が $V_D > V_S$ の場合を考える。

【0044】図4中の第1のゲート電極2と能動層4との交差部のうち、一方の上側の交差部CUにおいては、第1のゲート電極2の右端部2rと第2のゲート電極11の右端部11rとが重疊していると、両端部2r、11rからの電界によりチャンネルとドレインとの接合部付近に強電界が生じてリーク電流が生じる。ところが他方の下側の交差部CDにおいては、第1のゲート電極2の左端部2lと第2のゲート電極11の左端部11lとが重疊していないと、強電界は生じずリーク電流は発生し

ない。従ってこのTFTに接続されたTFTはその第2ゲート電極11の右端部11rが第1ゲート電極2の右端部2rと重畳してもリーク電流の発生を抑制することができる。

【0045】次に、表示電極13に接続された能動層4のソース5の電圧VSとドレイン信号線Dに接続された能動層4のドレイン6の電圧VDとの電圧の関係がVD<VSの場合を考える。

【0046】図4中のゲート信号線Gと能動層4との交差部のうち、一方の下側の交差部CDにおいては、第1のゲート電極2の右端部2rと第2のゲート電極11の右端部11rとが重畳しているため、両端部間に強電界が生じてリーク電流が生じる。ところが、他方の上側の交差部CUにおいては、第1のゲート電極2の左端部2lと第2のゲート電極11の左端部11lとが重畳していないため、強電界は生じずリーク電流は発生しない。従ってこのTFTに接続されたTFTはその第2ゲート電極11の右端部11rが第1ゲート電極2の右端部2rとが重畳してもリーク電流の発生を抑制することができる。

【0047】このように、第1のゲート電極2と能動層4とを複数回交差させその交差部においてチャンネルを成すようにするとともに、第1のゲート電極2と接続して同電位の第2のゲート電極11を第1のゲート電極2及びチャンネル7の上方に設けることにより、成膜中に不純物等が絶縁膜中に侵入することを防止できるとともに、それによるバックチャンネルの発生を防止できる。さらに、第2のゲート電極11をホトリソ技術により形成する際に位置ずれを起こして第1のゲート電極2の端部と第2のゲート電極の端部とが重畳したとしても強電界によるリーク電流の発生を防止することができる。

【0048】なお、第2のゲート電極11は層間絶縁膜9の上に設けられており、その幅もチャンネル7及びゲート電極2の幅よりも小さく且つ導電層11はチャンネル7及びゲート電極2の端部と重畳しないように設けられている。

【0049】なお、本発明の特許請求の範囲に記載した「ゲート電極」は、第1のゲート電極がゲート信号線Gである場合も含めるものとする。即ち、本発明において第1のゲート電極2は、第1の実施形態のようにゲート信号線G自体が第1のゲート電極を兼ねている場合も、また第2の実施形態のようにゲート信号線Gの一部が突起してチャンネル上方に延在している第1のゲート電極の場合も意味するものとする。

【0050】また、ゲート電極を2つ備えたいわゆるダブルゲート構造について説明したが、ゲート電極2と3カ所以上で交差したいわゆるマルチゲート構造であっても本発明の効果が得られる。

【0051】さらに、第2のゲート電極11は層間絶縁膜上のみならず、平坦化絶縁膜上に設けても層間絶縁膜

上に設けた場合と同様の効果を得ることができる。

【0052】更にまた、第2のゲート電極と半導体膜との間に設ける第2の絶縁膜は、例えば各実施形態の場合のストッパ絶縁膜、層間絶縁膜及び平坦化絶縁膜の各単体又は複数の積層膜であれば良い。またこれらの各絶縁膜は、SiO膜、SiN膜若しくは有機膜の各単体からなっても良く、または各膜を積層させた積層体からなっても良い。

【0053】また、本実施の形態においては、半導体膜として多結晶シリコン膜を用いた場合について説明したが、本発明はそれに限定されるものではなく、非晶質シリコン等の半導体膜でもよく、また単結晶シリコン等の半導体膜でも良い。

【0054】また、本実施の形態においては、ゲート電極が能動層よりも下にあるいわゆるボトムゲート型TFTについて説明したが、本発明はゲート電極が能動層よりも上にあるいわゆるトップゲート型TFTに採用しても同様の効果がある。

【0055】また、上述の各実施の形態においては、本発明のTFTをLCDに用いた場合について示したが、本発明はそれに限定されるものではなく、例えば有機EL(Electro Luminescence)表示装置のスイッチング素子として採用することも可能であり、上述のLCDに採用した場合の効果と同様の効果が得られる。

【0056】

【発明の効果】本発明によれば、層間絶縁膜の上下で分極することを防止できるため、バックチャンネル発生を抑制し閾値電圧の安定したTFTを得ることができ、更に第2のゲート電極がホトリソ技術による形成で位置ずれを生じた場合でも輝点等の欠陥を低減し面内で均一な明るさの表示の得られる表示装置を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態を示すTFTの平面図である。

【図2】本発明の第1実施形態を示すLCDの断面図である。

【図3】本発明の第1実施形態を示すTFTの断面図である。

【図4】本発明の第2実施形態を示すTFTの平面図である。

【図5】本発明の第2実施形態を示すTFTの断面図である。

【図6】従来のTFTの平面図である。

【図7】従来のLCDの断面図である。

【図8】従来のLCDの断面図である。

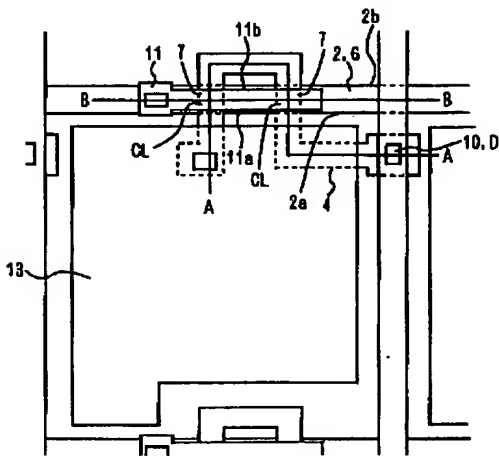
【符号の説明】

- | | |
|---|----------|
| 1 | 絶縁性基板 |
| 2 | 第1のゲート電極 |
| 4 | 能動層 |
| 5 | ソース |

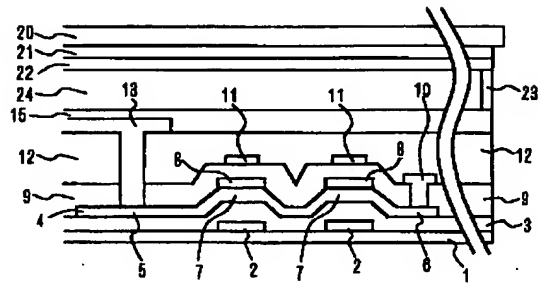
- 6 ドレイン
- 7 チャネル
- 8 ストップ絶縁膜
- 9 層間絶縁膜
- 11 第2のゲート電極

- 12 平坦化絶縁膜
- 13 表示電極
- 24 液晶
- 35, 36 オフセット領域
- 38, 39 LDD領域

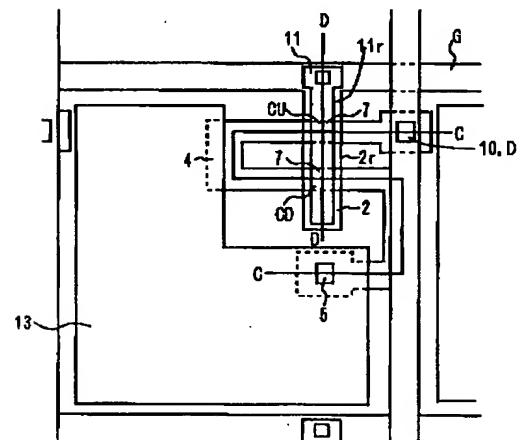
【図1】



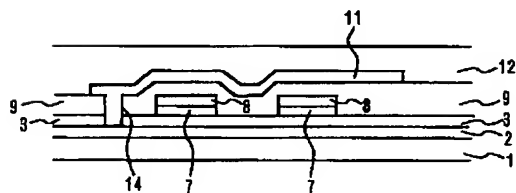
【図2】



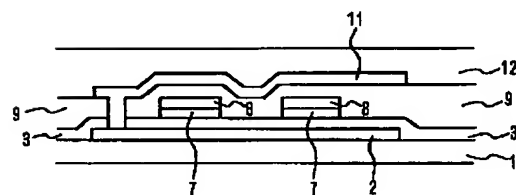
【図4】



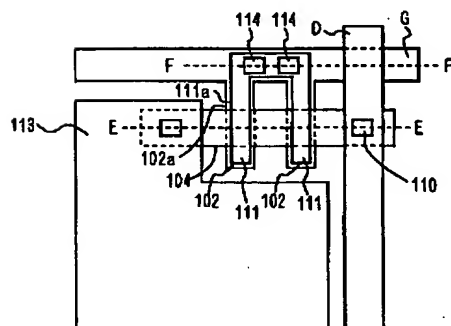
【図3】



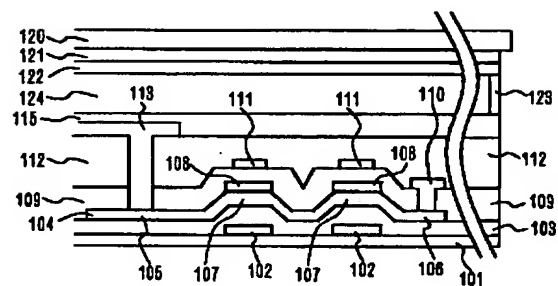
【図5】



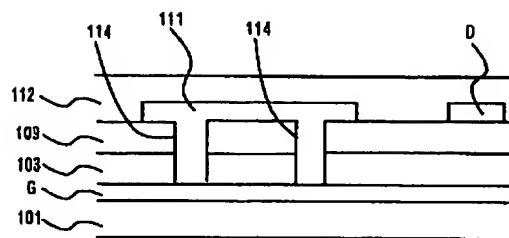
【図6】



【図7】



【図8】



フロントページの続き

F ターム(参考) 2H092 JA26 JA29 JA35 JA36 JA38
 JA42 JA44 JB13 JB23 JB32
 JB33 JB38 JB51 JB57 JB63
 JB69 KA04 KA07 KA12 KA16
 KA18 MA05 MA08 MA14 MA15
 MA16 MA18 MA19 MA20 MA27
 MA28 MA31 MA35 MA37 MA41
 NA01 NA25 NA27 PA06 QA07
 5C094 AA42 AA43 BA03 BA43 CA19
 DA13 EA04
 5F110 AA06 AA08 BB01 BB20 DD02
 DD03 EE04 EE22 EE27 EE30
 FF02 FF03 GG02 GG12 GG13
 GG15 GG23 GG28 GG29 HJ13
 HL03 HL04 HL07 HL11 HM18
 NN03 NN23 NN24 NN27 QQ11
 QQ19